

## Method of manufacturing a semiconductor memory device including memory cells having connected source regions

Patent Number: ☐ [US5817556](#)  
Publication date: 1998-10-06  
Inventor(s): SASAKI HIROYUKI (JP)  
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)  
Requested Patent: ☐ [JP8102531](#)  
Application Number: US19950536173 19950929  
Priority Number(s): JP19940238084 19940930  
IPC Classification: H01L21/336  
EC Classification: [H01L27/115](#), [H01L21/8247M2](#)  
Equivalents:

### Abstract

A method of manufacturing a semiconductor memory device having a plurality of memory cells arranged in matrix includes forming a first masking layer on a semiconductor substrate of a first conductivity type and patterning the first masking layer to form a plurality of parallel strips which extend in first direction. A second masking layer is formed on the patterned first masking layer and the second masking layer is patterned to form a plurality of parallel strips which extend in a second direction perpendicular to the first direction. First impurities of a second conductivity type are implanted into the semiconductor substrate, using the patterned first and second masking layers as a mask, to form impurity regions of the second conductivity type. The patterned second masking layer is then removed and an insulating film is formed in the spaces between the parallel strips of the patterned first masking layer for isolating element regions on the semiconductor substrate. The insulating film covers the impurity regions of the second conductivity type. The patterned first masking layer is then removed and a conductive layer is patterned to form control gates for the memory cells in the element regions on the semiconductor substrate. Second impurities of the second conductivity type are implanted into the semiconductor substrate using the control gates as a mask to form self-aligned source regions for the memory cells, wherein the source region of a first memory cell is connected to the source region of a second memory cell by one of the impurity regions of the second conductivity type.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102531

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

21/8247

29/788

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平6-238084

(22) 出願日

平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐々木 啓 行

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

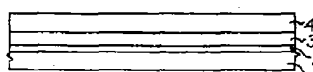
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

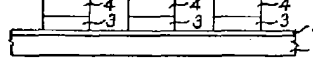
【目的】 絶縁膜エッチングに起因したセル特性の劣化を防ぎ得る半導体装置及びその製造方法を提供する。

【構成】 2層ゲート構造のメモリセルを有する半導体記憶装置は、素子分離のための絶縁膜8を挟んで隣り合うメモリセルのそれぞれのソース拡散層13を相互に接続する配線層としての拡散層7が、ソース拡散層13と同一の導電型の不純物拡散層であって、絶縁膜8の下方に形成されている。また、上述の半導体記憶装置の製造方法においては、絶縁膜8を形成する前に配線層としての拡散層7を形成し、この拡散層7の上に絶縁膜8を形成する。その後、制御ゲート12を形成し、これをマスクとしてイオン注入してソース拡散層13を形成する。

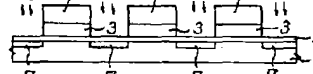
(A)



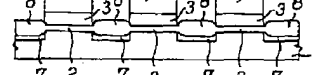
(B)



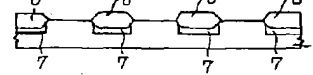
(C)



(D)



(E)



(F)



## 【特許請求の範囲】

【請求項1】制御ゲートを有するトランジスタからなるメモリセルがマトリックス状に複数形成された半導体記憶装置において、

素子分離のための絶縁膜を挟んで隣り合うメモリセルのそれぞれのソース拡散層を相互に接続する配線層としての拡散層が、前記ソース拡散層と同一導電型の不純物拡散層であって、前記絶縁膜の下方に形成されていることを特徴とする半導体記憶装置。

【請求項2】制御ゲートを有するトランジスタからなるメモリセルがマトリックス状に複数形成された半導体記憶装置の製造方法において、

半導体基板上にストライプ状に素子分離のための絶縁膜形成予定領域をパターンニングする工程と、

前記絶縁膜形成予定領域に対して直交するようにメモリセルのソース拡散層形成予定領域をストライプ状にパターンニングする工程と、

前記ソース拡散層形成予定領域内の前記絶縁膜形成予定領域に、ソース拡散層と同一導電型の不純物をイオン注入する工程と、

前記絶縁膜形成予定領域に絶縁膜を形成する工程と、

前記絶縁膜によって分離された素子領域に制御ゲートを形成する工程と、

前記制御ゲートをマスクとして、前記ソース拡散層形成予定領域に自己整合的にイオン注入してソース拡散層を形成する工程と、を備えることを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置及びその製造方法に関するもので、特に、フラッシュEEPROMに好適なものである。

【0002】

【従来の技術】不揮発性半導体記憶装置のうち2層ゲート構造の一括消去型EEPROM（フラッシュEEPROM）では、図3に示すようにメモリセル20が構成されている。即ち、半導体基板21の表面部に形成されたソース拡散層22とドレイン拡散層23との間にチャンネル24が形成されている。このチャンネル24の上方に第1のゲート酸化膜25を介してフローティングゲート26が形成されている。このフローティングゲート26の上方には第2のゲート酸化膜27を介してコントロールゲート28が積層形成されている。これらの積層体の上面及び側面は、熱酸化膜29で覆われ、全面に層間絶縁膜30が形成されている。ソース拡散層22及びドレイン拡散層23に対応して層間絶縁膜30にコンタクトホールが開孔され、この中に配線材料が堆積され、配線層31が形成されている。この配線層31の上方にパッシベーション膜32が堆積形成されている。

【0003】図4に上述のメモリセル20が複数形成さ

れたフラッシュEEPROMの一部の概略的な平面図を示す。メモリセル20のドレイン拡散層領域23はフィールド酸化膜33によって分離されている。このフィールド酸化膜33の形状は本来矩形状であるが、実際にはこのような形状にならず、瓢箪状となっている。ソース拡散層領域22はコントロールゲート28と平行にストライプ状に形成されている。このような構造であると、ゲートが図中上下方向に変位して形成された場合には、ゲート幅Wが変化することになる。また、フィールド酸化膜33のエッジ部33aがソース拡散層領域側に出ているため、微細化を進めることが困難である。

【0004】このようなことから、素子の微細化を行うために自己整合によって、ソース拡散層を形成する（SAS：Self Aligned Source）ことが行われている。図5に示すように、半導体基板上にフィールド酸化膜33が図中縦方向にストライプ状に形成され、横方向にはコントロールゲート28がストライプ状に形成されている。ソース拡散層は、ソース拡散層領域22に挟まれるように形成されているフィールド酸化膜33をエッチングによって除去した後、コントロールゲート28をマスクとして不純物イオンを図中梨地部に注入することにより自己整合的に形成される。このため、ソース拡散層（SDG部）とコントロールゲート28との合わせずれが生じることはなく、微細化を図ることができる。

【0005】このような自己整合工程の詳細を説明する。図6に示すように、半導体基板21上にソース拡散層領域22、22、…、フィールド酸化膜33、33、…、コントロールゲート28、28、…が形成されている。その全面にレジスト34を塗布し、PEP工程によってパターンニングする。パターンニングによってライン状にレジストが除去される。このため、ソース拡散層領域22及びソース拡散層領域22に挟まれたフィールド酸化膜33が露出される。この後、反応性イオンエッチング（RIE）を行って、フィールド酸化膜33を除去する。

【0006】

【発明が解決しようとする課題】しかしながら、このような自己整合工程では、フィールド酸化膜33、33、…をエッチングによって除去したときに、図7に示すように、ソース拡散層領域22、22、…も図中斜線部分がエッチングされダメージを受ける。図8にこのような状態のセルの断面図が示される。ダメージを受けたソース拡散層領域22にイオン注入を行った後、熱酸化工程等を経るとソース拡散層領域22のダメージがチャンネル領域24にまで拡大し、セル特性に悪影響を及ぼすことがある。

【0007】本発明は、上記に鑑みてなされたもので、その目的は、上述の問題点を解決しうる半導体装置及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明の半導体記憶装置は、制御ゲートを有するトランジスタからなるメモリセルがマトリックス状に複数形成された半導体装置において、素子分離のための絶縁膜を挟んで隣り合うメモリセルのそれぞれのソース拡散層を相互に接続する配線層としての拡散層が、前記ソース拡散層と同一導電型の不純物拡散層であって、前記絶縁膜の下方に形成されている。

【0009】本発明の半導体記憶装置の製造方法は、制御ゲートを有するトランジスタからなるメモリセルがマトリックス状に複数形成された半導体記憶装置の製造方法において、半導体基板上にストライプ状に素子分離のための絶縁膜形成予定領域をパターンニングする工程と、前記絶縁膜形成予定領域に対して直交するようにメモリセルのソース拡散層形成予定領域をストライプ状にパターンニングする工程と、前記ソース拡散層形成予定領域内の前記絶縁膜形成予定領域に、ソース拡散層と同一導電型の不純物をイオン注入する工程と、前記絶縁膜形成予定領域に絶縁膜を形成する工程と、前記絶縁膜によって分離された素子領域に制御ゲートを形成する工程と、前記制御ゲートをマスクとして、前記ソース拡散層形成予定領域に自己整合的にイオン注入してソース拡散層を形成する工程と、を備える。

【0010】

【作用】本発明の半導体記憶装置では、配線層としての拡散層が絶縁膜の下方に形成され、隣り合うメモリセルのソース拡散層が相互に接続されて一体化されている。従って、絶縁膜をエッチングすることなく、一体化したソース拡散層が形成される。

【0011】本発明の半導体記憶装置の製造方法では、ソース拡散層を接続するための拡散層を絶縁膜形成前に形成し、この拡散層の上に絶縁膜を形成する。この後、ゲートを形成し、これをマスクとしてイオン注入してソース拡散層を形成する。このため、絶縁膜をエッチングすることなく、ソース拡散層を相互接続して一体化することができ、特性の良好な半導体記憶装置を得ることが可能となる。

【0012】

【実施例】以下、図面を参照しながら本発明に係る半導体記憶装置及びその製造方法の一実施例について説明する。

【0013】この半導体記憶装置は、図1(F)に示される。この図には、3つのメモリセルのソース拡散層の横断面が示されている。即ち、ソース拡散層13、13、13の上方には順に第1ゲート酸化膜9、フローティングゲート10、第2ゲート酸化膜11、コントロールゲート12が形成されている。これらソース拡散層13、13、…はフィールド酸化膜8、8、…の下に形成された配線層としての拡散層7、7、…によって結合され、一体化したソース拡散層として構成されている。

【0014】次に、このような半導体記憶装置の製造方法を以下に説明する。図1に工程別断面図を示す。まず、図1(A)に示すように、LOCOS構造形成のために、半導体基板1の表面に酸化膜2を熱酸化により形成し、さらにポリシリコン層3、窒化シリコン層(SiN層)4をCVD法により形成する。

【0015】次に、図1(B)に示すように、フィールド酸化膜を形成しようとする領域のポリシリコン層3及び窒化シリコン層4を除去して、酸化膜2を露出させる。この後、図2に示すように、酸化膜2及び窒化シリコン層4の表面に塗布されたレジスト5をパターンニングして、ライン状にレジストを除去する。レジストが除去された領域は、ソース拡散層形成予定領域6となる。残されたレジスト5はイオン注入の際のマスクとして機能する。ソース拡散層形成予定領域6は、後述する配線として機能する拡散層7、7、…の形成予定領域6a、6a、…とセルのソース拡散層13、13、…の形成予定領域6b、6b、…に分けられる。それぞれの拡散層7、7、7…の形成予定領域6a、6a、…には、将来、フィールド酸化膜が形成される。このようなソース拡散層形成予定領域6のA-A'線による断面を図1(C)に示す。

【0016】図1(C)に示すように、半導体基板1に酸化膜2を介してAs等の不純物のイオン注入を行い、拡散層7、7、…を形成する。これら拡散層7、7、…はn<sup>+</sup>拡散層となり、先に述べた配線として機能する拡散層となる。このときのAsのドーザ量は $1 \times 10^{13} \text{ cm}^{-2} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 程であり、注入エネルギーは50～60keVである。

【0017】この後、図1(D)に示すように、酸素雰囲気中で加熱を行うことにより、拡散層7、7、…の上にフィールド酸化膜8、8、…を厚く形成する。

【0018】図1(E)に示すように、フィールド酸化膜8、8、…を形成した後、窒化シリコン層4、4、…ポリシリコン層3、3、…及び酸化膜2、2、…をエッチングによって除去し、セル形成領域を露出させる。

【0019】図1(F)に示すように、所定の工程によって、第1ゲート酸化膜9、フローティングゲート10、第2ゲート酸化膜11、コントロールゲート12を形成した後パターンニングする。この後、ソース拡散層13を形成するため、コントロールゲート12をマスクとして自己整合的に不純物As等をイオン注入する。このようにして形成されたソース拡散層13、13、…は先に形成されていた拡散層7、7、…と結合して一体化する。

【0020】以下は周知の電極形成、配線、保護膜形成等が行われ半導体記憶装置が完成する。

【0021】本発明の実施例によれば、フィールド酸化膜を形成する前にソース拡散層間を配線するための拡散層を形成するようにしたので、従来例のようにフィールド

ド酸化膜をエッチングすることなく、一体化したソース拡散層を形成することができる。このため、エッチングを行うことによって生じるメモリセルの特性劣化を防止することができる。

#### 【0022】

【発明の効果】本発明の半導体装置によれば、絶縁膜の下方に拡散層が形成されているので、一体化したソース拡散層を形成するのに絶縁膜エッチングを行う必要はない。このため、エッチングに起因したメモリセルの特性に与える悪影響を抑えることができる。

【0023】また、本発明の半導体装置の製造方法によれば、ソース拡散層を接続するための拡散層を絶縁膜形成前に形成するようにしたので、一体化したソース拡散層を形成するのに、ソース拡散層にダメージを与える絶縁膜エッチングを行う必要はなく、良好な特性を有する半導体記憶装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の工程別断面図。

【図2】フィールド酸化前のイオン注入時に使用するレジストをパターンニングした状態を示す図。

【図3】フラッシュEEPROMのメモリセルの断面図。

【図4】従来のフラッシュEEPROMのセル構造の概略を示す平面図。

\*【図5】自己整合拡散領域を有するセル構造の概略を示す平面図。

【図6】ソース拡散層領域を形成するためにフィールド酸化膜をRIEによって除去する時のセル平面図。

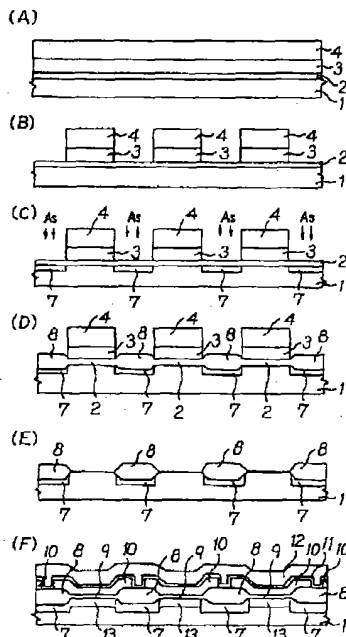
【図7】図6に示されたB-B線に沿った断面図。

【図8】図6に示されたC-C線に沿った断面図。

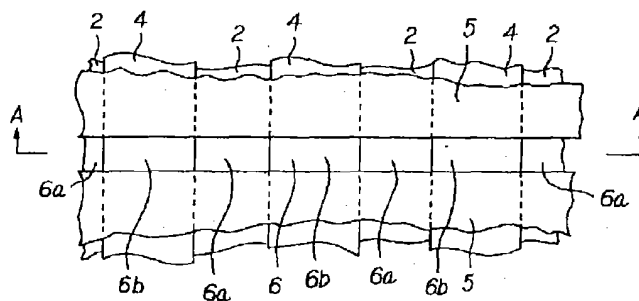
#### 【符号の説明】

- 1 半導体基板
- 2 酸化膜
- 3 ポリシリコン層
- 4 窒化シリコン層
- 5 レジスト
- 6 ソース拡散層形成予定領域
- 6a 配線層となる拡散層の形成予定領域
- 6b セルのソース拡散層の形成予定領域
- 7 配線層としての拡散層
- 8 フィールド酸化膜
- 9 第1のゲート酸化膜
- 10 フローティングゲート
- 11 第2のゲート酸化膜
- 12 コントロールゲート
- 13 ソース拡散層
- 20 メモリセル

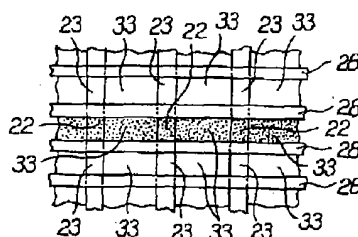
【図1】



【図2】



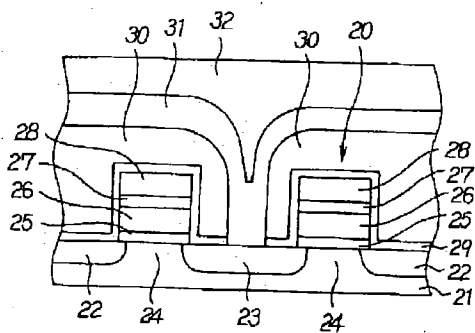
【図5】



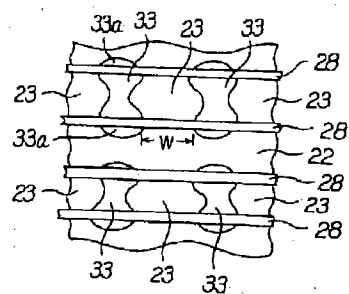
(5)

特開平8-102531

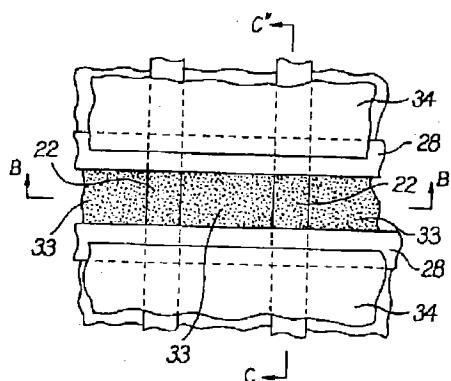
【図3】



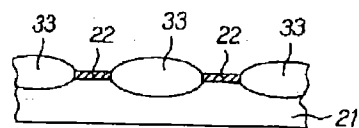
【図4】



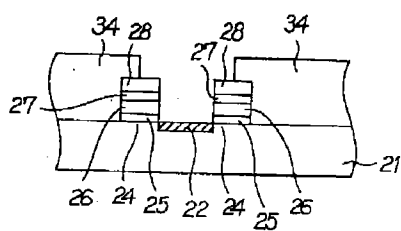
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 29/792

識別記号 庁内整理番号

F I

技術表示箇所